

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-111528

(43)Date of publication of application : 30.04.1996

(51)Int.Cl. H01L 29/78

(21)Application number : 07-259561 (71)Applicant : MOTOROLA INC

(22)Date of filing : 13.09.1995 (72)Inventor : CANDELARIA JON J

(30)Priority

Priority number : 94 311979

Priority date : 26.09.1994

Priority country : US

(54) MOSFET ELEMENT WITH ENHANCED MOBILITY AND ITS FORMATION
METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To easily provide a MOSFET element that improves the mobility of electrons and holes, prevents the scattering effect of an alloy from occurring, and eliminates the need for an alloy relaxation and/or buffer layer and its manufacturing method.

SOLUTION: A MOSFET element 10 with improved mobility includes a channel layer 12, formed on a single-crystal silicon layer 11. The channel layer 12 is made of an alloy of silicon and a second substance. The second substance exists at a silicon lattice site, replaceably with an atom percentage for enabling the channel layer 12 to receive a tensile stress.

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any

damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is a carrier conveyance field (12) on said single-crystal-silicon layer (11); single-crystal-silicon layer (11) of the 1st conductivity type. the MOSFET component which has improved migratory -- it is -- : -- It consists of the alloy of silicon and the 2nd semi-conducting material. Said 2nd semi-conducting material Exist in said carrier conveyance field (12) with atomic percent with which said carrier conveyance field is put on the condition of receiving tensile stress. The source field of the 2nd conductivity type which reaches in said said carrier conveyance field (12); carrier conveyance field (12) (14); It is the drain field (16) of said 2nd conductivity type which reaches in said carrier conveyance field (12). Pinch said a part of carrier conveyance field (12) in said source field (14) and said drain field (16). Said drain field (16) It is the control electrode (18) electrically insulated from; and said carrier conveyance field (12). The MOSFET component characterized by consisting of said control-electrode (18); arranged

between said source fields (14) and said drain fields (16).

[Claim 2] Said carrier conveyance field (12) is a component according to claim 1 characterized by consisting of an Si₁-XCX alloy and X being 0.02 or less here.

[Claim 3] Are the MOSFET structure where the silicon channel field which had carbon doped was embedded, and it consists of a :Si₁-XCX alloy. So that it may be the channel layer (12) formed on the single-crystal-silicon layer (11) of the 1st conductivity type and said channel layer (12) may receive tensile stress The epitaxial silicon layer formed on said channel layer (12); aforementioned channel layer to which carbon is located in the permutation grid part in said channel layer (12) (13); Said epitaxial silicon layer (13) is penetrated. The source field of the 2nd conductivity type which reaches said a part of channel layer [at least] (12) (14); Said epitaxial silicon layer (13) is penetrated. It is the drain field (16) which reaches said a part of channel layer [at least] (12). Said drain field separated from said source field (14) by said a part of channel layer (12) (16); on said epitaxial silicon layer (13) MOSFET structure characterized by consisting of gate electrode (18); formed on gate dielectric layer (17); and said gate dielectric layer (17) which were formed between said source fields (14) and said drain fields (16) at least.

[Claim 4] It is the formation approach of an MOSFET component of having improved migratory, and is the phase which forms a carrier conveyance field

(12) on :single-crystal-silicon layer (11) of the 1st conductivity type. It is the atomic percent made into the condition that said carrier conveyance field (12) consists of the alloy of silicon and the 2nd semi-conducting material, and said carrier conveyance field (12) receives tensile stress as compared with the single-crystal-silicon layer (11) of said 1st conductivity type. To the grid field of said carrier conveyance field (12) Said 2nd semi-conducting material On [some] said carrier conveyance layer (12) on said epitaxial semi-conductor layer (13), The phase which forms an epitaxial semi-conductor layer (13) on said phase; carrier conveyance field (12) in which you make it located in permutation; a gate dielectric layer (17) Said epitaxial semi-conductor layer (13) is penetrated. phase; to form -- phase; which forms a control electrode (18) on said gate dielectric layer (17) -- Phase; which arrives at said a part of carrier conveyance field [at least] (12) and which forms the source field (14) of the 2nd conductivity type, and said epitaxial semi-conductor layer (13) are penetrated. The approach characterized by consisting of phase; which arrives at said a part of carrier conveyance field [at least] (12), and which forms the drain field (16) of the 2nd conductivity type, and positions said a part of carrier conveyance field (12) between said source fields (14) and said drain fields (16).

[Claim 5] It is the approach according to claim 4 characterized by for the phase which forms said carrier conveyance field (12) forming the carrier conveyance

field (12) which consists of an Si₁-XCX alloy, and X being 0.02 or less here.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] If this invention is generally further specified about a semiconductor device, it relates to the semiconductor device which has improved carrier migratory.

[0002]

[Description of the Prior Art] The metal oxide semiconductor field-effects transistor (MOSFET) component is well-known, and is widely used in electronic industry. Since the carrier migratory (carrier mobility) of an MOSFET component has direct effect on the output current and the switching engine performance, it is an important parameter. With the standard MOSFET technique, a current drive and the switching engine performance are improved by decreasing the thickness of channel length and a gate dielectric. However, since proper gate capacitance (intrinsic gate capacitance) will increase when thickness of a gate dielectric is made thin, the component engine performance may be reduced.

[0003] With the silicon MOSFET component, if it embeds and pressure nature stress (compressive stress) is applied to a channel field, the thing which consisted of silicon / a germanium ($\text{Si}_{1-\text{X}}\text{Ge}_\text{X}$) alloy, and sandwiched the upper and lower sides in the silicon field and for which the carrier migratory of a hole is improved in a channel field is shown. This reason is that a hole is confined in a channel field by gap of the potential energy between a surrounding silicon field and an $\text{Si}_{1-\text{X}}\text{Ge}_\text{X}$ channel field. This **** component (strained device) is shown in U.S. Pat. No. 5,241,197 published by Murakami et al. and U.S. Pat. No. 5,241,197 published by Solomon et al.

[0004] in order it generate that an improvement of electronic transition nature serve as the minimum since an embedding $\text{Si}_{1-\text{X}}\text{Ge}_\text{X}$ channel component also have some faults , and dispersion (alloy scattering) of an alloy increase in a channel field in it , and reduce electronic transition nature and a conducting sleeve offset be good , that a carrier rate be high than silicon , and distortion and acquire migratory [high] , need high germanium concentration be include . If germanium concentration is made high, as a result, the thickness of a layer will become very thin, and processing temperature will also fall greatly. The fall of processing temperature will have a bad influence on activation of a dopant, and gate oxide processing.

[0005] Since migratory [of both a hole and an electron] is improved and a

carrier rate also becomes high as compared with silicon, the silicon component which has the channel field where tensile stress (tensile stress) was applied is desirable. By a certain reported technique, the structure which contains an $\text{Si}_{1-X}\text{Ge}_X$ ($X=5-30\%$) buffer layer under relaxation $\text{Si}_{0.7}\text{germanium}_{0.3}$ alloy layer and $\text{Si}_{0.7}\text{germanium}_{0.3}$ alloy layer is used for the bottom of a **** silicon surface channel field (strained silicon surface channel region) and this silicon channel field. One of the advantages of this technique is that dispersion of the alloy in a channel field is removed. However, since this technique has a **** channel layer in a front face, it has the fault of being easy to produce the surface scattering effect (surface scattering effects) to which it reduces migratory. Moreover, degradation and the noise problem by the heat carrier may be produced. In addition, this technique will need alloy relaxation and a buffer layer, for this reason the complexity and cost of a process will increase.

[0006] A **** $\text{Si}_{1-X}\text{Ge}_X$ channel layer is formed on a relaxation $\text{Si}_{1-X}\text{Ge}_X$ layer (it is $Y>X$ here), and a silicon layer and the thing which used for the bottom of a relaxation $\text{Si}_{1-X}\text{Ge}_X$ layer further the structure of having a silicon layer are in reported another technique on a **** $\text{Si}_{1-X}\text{Ge}_X$ channel layer. This structure has the fault that the complexity of a process is added for a **** $\text{Si}_{1-X}\text{Ge}_X$ channel layer to that an alloy scattering effect becomes large since germanium is in that a carrier moves to a relaxation $\text{Si}_{1-X}\text{Ge}_X$ alloy layer, and the improved migratory

effectiveness decreases, and a channel layer and many SiGe layers.

[0007]

[Problem(s) to be Solved by the Invention] Migratory [of an electron and a hole] is improved, and it is hard to produce the scattering effect of an alloy, and is hard to produce a surface scattering effect, and the MOSFET component which does not need alloy relaxation and/or a buffer layer is needed so that it may become clear from the above thing easily.

[0008]

[Means for Solving the Problem] If it states directly, the MOSFET component with which migratory has been improved includes the carrier conveyance field formed on the single-crystal-silicon layer of the 1st conductivity type. A carrier conveyance field consists of the alloy of silicon and the 2nd matter, and the 2nd matter is the atomic percent from which a carrier conveyance field receives tensile stress, and exists in a carrier conveyance field. The source field and drain field of the 2nd conductivity type have reached in the carrier conveyance field. A part of carrier conveyance field separates a source field and a drain field. It insulates electrically from a carrier conveyance field, and the control electrode is arranged between the source field and the drain field.

[0009] The manufacture approach of MOSFET which has improved migratory [which was indicated here] includes forming a carrier conveyance field on the

single-crystal-silicon layer of the 1st conductivity type. A carrier conveyance layer consists of alloys of silicon and the 2nd matter. The 2nd matter is the atomic percent which a carrier conveyance field makes the condition of receiving tensile stress, and exists in a carrier conveyance field. A gate dielectric layer is formed on [some] a carrier conveyance field. A control electrode is formed on a gate dielectric layer. The drain field which has a source field and the 2nd conductivity type reaches in a carrier conveyance field at least, and a source field and a drain field are formed so that it may face across a part of carrier conveyance field between the source and a drain field.

[0010]

[Example] Drawing 1 shows the example of the MOSFET component 10 which has improved migratory [of the carrier by this invention]. The carrier conveyance field 12, i.e., a channel layer, is formed on the single-crystal-silicon layer 11. The channel layer 12 consists of the alloy of silicon and the 2nd matter. In the case of p-channel component, in the case of n-mold conductivity and an n channel component, the single-crystal-silicon layer 11 has p-mold conductivity. The 2nd matter exists in [the grid part (lattice site) of the channel layer 12] permutation (substitutionally), and exists with atomic percent from which the channel layer 12 receives tensile stress as compared with the crystal which consists of the single-crystal-silicon layer 11 or silicon. Moreover, as for the

channel layer 12, it is desirable not to be doped according to an acceptor (donor impurities), i.e., a donor impurity.

[0011] The epitaxial semi-conductor 13, i.e., an epitaxial layer, is further included in the MOSFET component 10 on the channel layer 12. Preferably, an epitaxial layer 13 consists of silicon and is about 50Å in thickness. The source field 14 and the drain field 16 penetrated the epitaxial layer 13, and it has reached in the channel layer 12 at least. Preferably, the source field 14 and the drain field 16 penetrate the channel layer 12, and reach in the single-crystal-silicon layer 11. A part of channel layer 12 is pinched by the source field 14 and the drain field 16. Control 18, i.e., a gate electrode, is electrically insulated from the epitaxial layer 13. Preferably, the gate electrode 18 is electrically insulated from an epitaxial layer 13 using the gate dielectric layer 17. Preferably, the gate dielectric layer 17 consists of an oxide, and has the thickness of the range of 30 thru/or 125Å. The source electrode 19 is formed on [some] the source field 14, and the drain electrode 21 is formed on [some] the drain field 16.

[0012] Drawing 2 is the energy band Fig. of the example of drawing 1 in case gate bias is zero, and shows the effectiveness of the stress induction band division (strain induced band splitting) on the channel layer 12. Drawing 2 shows the relative relation between the valence bands 22 and conduction bands 23 in an epitaxial layer 13, the channel layer 12, and the single-crystal-silicon layer 11.

When the channel layer 12 receives tensile stress, it divides, the valence-band edge 24, i.e., the interface, in the channel layer 12, and actually goes up toward a conduction band 23 in an energy level. In addition, the conductor edge 26, i.e., an interface, is divided and it actually descends toward a valence band 22 in an energy level. Consequently, the band gap 27 of a channel layer becomes narrower than the band gap 28 of a single-crystal-silicon layer, and the band gap 29 of an epitaxial layer. The bias of the channel layer band gap 27, i.e., narrow-izing, forms a potential well as a matter of fact, and this captures a hole and an electron in the channel layer 12. Moreover, as a result of the above-mentioned effectiveness, the energy level of the channel layer 12 is preferentially occupied by the hole and the electron (populated), and effective carrier mass (effective carrier mass) decreases. On the other hand, when suitable gate bias is impressed to the gate electrode 18 by this, migratory [of the free carrier in the channel layer 12] becomes high by it.

[0013] Since tensile stress gives division of a bigger conduction band than compressive stress, the channel layer which receives tensile stress is more desirable than the channel layer which receives compressive stress. In addition, as compared with the film which receives compressive stress, the fall of effective carrier mass is predicted by the film which receives tensile stress. Therefore, since the channel layer which receives tensile stress improves migratory [of

both an electron and a hole carrier], it supports manufacture of the complementary-type p-channel which has improved migratory, and an n channel component.

[0014] J. The silicon which had carbon doped is as it is published by Candelaria and shown in U.S. Pat. No. 5,360,986 transferred to Motorola Inc., the alloy, i.e., the ingredient, suitable for the channel layer 12. This application of said United States patent is also available. It is, the silicon, i.e., the Si₁-XCX alloy, with which the channel layer 12 had carbon doped in the suitable example, and carbon is the 2nd matter, carbon exists in a permutation silicon grid part (substitutional silicon lattice site), and, as for X, it is desirable that it is 0.02 or less. Furthermore, if specified, as for X, it is desirable that it is the range of about 0.005 thru/or 0.016.

[0015] Preferably, as for the channel layer 12, X has 100 thru/or the thickness of about 200Å, respectively at the time of 0.02 thru/or about 0.005. The thickness of the channel layer 12 is adjusted according to the atomic percent of the existing carbon. When the channel layer 12 consists of an Si₁-XCX alloy, an epitaxial layer 13 consists of silicon preferably, and has the thickness of the range of 50 thru/or 100Å.

[0016] Since an alloy / carrier scattering effect is lower than the silicon channel layer the direction of the channel layer which had carbon doped had germanium

doped, the silicon channel layer which had carbon doped is more desirable than the silicon channel layer which had germanium doped. Even if this reason reduces the amount of carbonaceous [used] sharply as compared with germanium because of the relative size difference between a carbon atom and a germanium atom (about 11 to 1), it is because the same stress reinforcement (a sign is reverse) can be attained. Since an alloy / carrier scattering effect is small as compared with the **** silicon channel layer which had germanium with the same silicon channel layer which had carbon doped doped, carrier migratory, especially electronic transition nature are improved further. Furthermore, since the channel layer 12 in the MOSFET component 10 is embedded namely, surrounded by the epitaxial layer 13 and the single-crystal-silicon layer 11, the MOSFET component 10 cannot receive surface dispersion (surface scattering), heat carrier degradation (hot carrier degradation), and the noise effectiveness easily again.

[0017] When the channel layer 12 consists of an Si1-XCX alloy, the channel layer 12 is formed using epitaxial growth or chemical-vacuum-deposition technique. For example, acetylene, ethylene, a propane, or a methane carbon source is used. Or a silicon layer is formed, the ion implantation of the carbon is carried out to this silicon layer, the silicon layer by which carbon was doped is heated, solid phase epitaxial re-growth (solid phase epitaxial regrowth) of the

silicon layer which had carbon doped is induced, and the channel layer 12 is formed as shown in U.S. Pat. No. 5,360,986. Or the channel layer 12 is formed using molecule beam epitaxial, metal organic chemistry vacuum evaporation (MOCVD), or ultra-high-vacuum chemical vacuum deposition (UHVCVD).

[0018] In the suitable example for forming the MOSFET component which has p-channel structure and the channel layer which had carbon doped, the single-crystal-silicon layer 11 which has n-mold conductivity is alternatively formed on p-mold substrate or in a substrate. And the channel layer 12 which consists of the silicon which had carbon doped is formed on the silicon layer which is not doped. Next, it consists of the silicon doped by n-mold or the silicon which is not doped, and the epitaxial layer 13 which has about 50 thru/or the thickness of 100A is formed on the channel layer 12. Preferably, formation of the silicon layer which is not doped, the channel layer 12, and an epitaxial layer 13 is performed at a single epitaxial growth process.

[0019] Next, the silicon oxide layer which has the thickness of the range of 60 thru/or 80A is formed of deposition or growth on an epitaxial layer 13. Next, n(inch-situ doped)-mold polish recon layer doped by the predetermined part is formed on a silicon oxide layer. Patterning is alternatively performed in n-mold polish recon layer and a silicon oxide layer, and the gate electrode 18 and the gate dielectric layer 17 are formed, respectively. Next, p-mold dopant is

alternatively poured in into an epitaxial layer 13 (incorporate). By heating this structure next, p-mold dopant is activated and the source field 14 and the drain field 16 are formed. Next, the MOSFET component 10 is completed using standard MOSFET processing. What is necessary is just to make the conductivity type of a dopant reverse, in order to form the MOSFET component 10 of n channel structure.

[0020] Drawing 3 thru/or drawing 5 show the alternative example of the MOSFET component which has improved migratory [by this invention]. Although the MOSFET component 30 shown in drawing 3 is similar with the MOSFET component 10, the MOSFET components 30 differ in that it does not have the epitaxial layer 13. The MOSFET component 30 is easy to receive a surface scattering effect for the interface between the channel layer 12 and the gate dielectric layer 17, although migratory is improved as mentioned above. However, if it compares with the ***** silicon channel MOSFET component constituted similarly, in addition, the carrier migratory of the MOSFET component 30 still improves.

[0021] Although the MOSFET component 40 of drawing 4 is similar to the MOSFETO component 10, it is added further, the modulation doping 41, i.e., the modulation layer, formed in the single-crystal-silicon layer 11. The part 43 of the single-crystal-silicon layer 11 separates the modulation layer 41 from the

channel layer 12. A part 43 has about 50 thru/or the thickness of 100A preferably.

The modulation layer 41 is the same conductivity type as the source field 14 and the drain field 16. The modulation layer 41 has dopant concentration higher than the single-crystal-silicon layer 11, and is a conductivity type with the opposite single-crystal-silicon layer 11. Preferably, the modulation layer 41 has the thickness of the range of 100 thru/or 200A.

[0022] The modulation layer 41 is formed on the part 42 of the single-crystal-silicon layer 11 using epitaxial growth or chemical-vacuum-deposition (CVD) technique. Next, the part 43 of the single-crystal-silicon layer 11 is formed on the modulation layer 41 using epitaxial growth or CVD technique. the MOSFET component 40 -- p-channel component -- or into the part 43 of the single-crystal-silicon layer 11, n or p-mold can be doped by the n channel component using an ion implantation and/or diffusion technique, respectively. Preferably, the parts 43 of the modulation layer 41 and the single-crystal-silicon layer 11 are continuously formed by the single on-site process sequence.

[0023] Although the MOSFET component 50 shown in drawing 5 is similar with the MOSFET component 10, in order to form an insulating lifter semi-conductor (11111) component, the insulating layer 51, i.e., a field, is added. An insulating layer 51 consists of silicon oxide preferably, and is formed using the technique of

an oxygen ion implantation or others. Preferably, before the channel layer 12 and an epitaxial layer 13 are formed, an insulating layer 51 is formed. Or an insulating layer 51 is formed on a support substrate (not shown), next, a single crystal silicon substrate is joined to an insulating layer 51, it grinds in the thickness of a request of a single crystal silicon substrate, and the single-crystal-silicon layer 11 is formed. Only 500 thru/or the distance 52 of 600A make an insulating layer 51 estrange from the channel layer 12 preferably.

[0024] When using an insulating layer 51 for the MOSFET component 30 (drawing 3), it is desirable to open about 1000A of spacing in the bottom of the channel layer 12, and to arrange an insulating layer 51. When using an insulating layer 51 for the MOSFET component 40 (drawing 4), it is desirable 100 thru/or to open about 200A of spacing and to arrange an insulating layer 51 under the modulation layer 41.

[0025] It will be admitted that the MOSFET component which has improved migratory was offered from the above explanation. A carrier migratory improvement is attained by forming a carrier conveyance field on a single-crystal-silicon layer, constituting this carrier conveyance field from an alloy of silicon and the 2nd matter, and making the 2nd matter exist in a carrier conveyance field with the atomic percent of extent which a carrier conveyance field changes further into the condition of receiving tensile stress.

[0026] Moreover, since big conduction band division is attained as compared with the carrier conveyance field which receives compressive stress when a carrier conveyance field changes into the condition of receiving tensile stress, migratory [of both an electron and a hole carrier] is improvable. This supports manufacture of the complementary-type n channel which has improved migratory, and p-channel component.

[0027] In addition, surface dispersion, heat carrier degradation, and the noise effectiveness can be made hard to form an embedded structure and to receive by adding an epitaxial layer on a carrier conveyance field.

[0028] Furthermore, when a carrier conveyance field consists of the silicon which had carbon doped, dispersion of an alloy can be reduced as compared with the same **** carrier field which consisted of silicon which had germanium doped. Moreover, the carrier conveyance field which receives tensile stress is attained, without using a relaxation alloy layer, when a carrier conveyance field consists of the silicon which had carbon doped. The complexity and cost of a process can be reduced by this.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The expanded sectional view of one example of this invention.

[Drawing 2] The energy band Fig. of the example of drawing 1 in case gate bias is zero

[Drawing 3] The expanded sectional view of other examples of this invention.

[Drawing 4] The expanded sectional view of the example of further others of this invention.

[Drawing 5] The expanded sectional view of the example of further others of this invention.

[Description of Notations]

10, 30, 40, 50 MOSFET component

11 Single-Crystal-Silicon Layer

12 Carrier Conveyance Field

13 Epitaxial Layer

14 Source Field

16 Drain Field

17 Gate Dielectric Layer

18 Gate Electrode

19 Source Electrode

22 Valence Band

23 Conduction Band

24 26 Interface

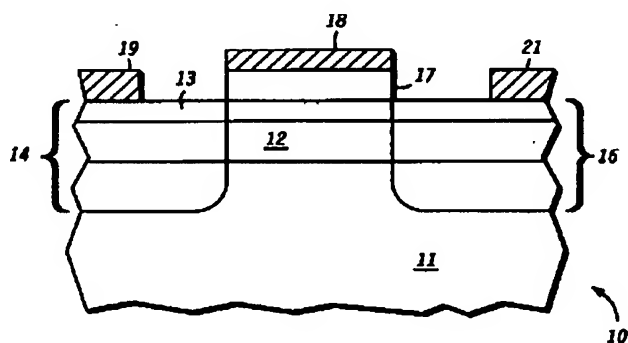
28 29 Band gap

40 MOSFET Component

41 Modulation Layer

51 Insulating Layer

(11)特許出願公開番号



【特許請求の範囲】

【請求項1】移動性を改善したMOSFET素子であって：第1導電型の単結晶シリコン層（11）；前記単結晶シリコン層（11）上のキャリア搬送領域（12）であって、シリコンと第2半導体物質との合金から成り、前記第2半導体物質は、前記キャリア搬送領域が引張応力を受ける状態に置かれるような原子百分率で前記キャリア搬送領域（12）内に存在する、前記キャリア搬送領域（12）；前記キャリア搬送領域（12）内に達する第2導電型のソース領域（14）；前記キャリア搬送領域（12）内に達する前記第2導電型のドレイン領域（16）であって、前記キャリア搬送領域（12）の一部を前記ソース領域（14）と前記ドレイン領域（16）とで挟持する、前記ドレイン領域（16）；および前記キャリア搬送領域（12）から電氣的に絶縁されている制御電極（18）であって、前記ソース領域（14）と前記ドレイン領域（16）との間に配置されている前記制御電極（18）；から成ることを特徴とするMOSFET素子。

【請求項2】前記キャリア搬送領域（12）は $\text{Si}_{1-x}\text{C}_x$ 合金から成り、ここでXは0.02以下であることを特徴とする請求項1記載の素子。

【請求項3】炭素をドーパされたシリコン・チャネル領域が埋め込まれたMOSFET構造であって： $\text{Si}_{1-x}\text{C}_x$ 合金から成り、第1導電型の単結晶シリコン層（11）上に形成されたチャネル層（12）であって、前記チャネル層（12）が引張応力を受けるように、前記チャネル層（12）内の置換格子部位に炭素が位置する前記チャネル層（12）；前記チャネル層上に形成されたエピタキシャル・シリコン層（13）；前記エピタキシャル・シリコン層（13）を貫通し、前記チャネル層（12）の少なくとも一部に達する、第2導電型のソース領域（14）；前記エピタキシャル・シリコン層（13）を貫通し、前記チャネル層（12）の少なくとも一部に達するドレイン領域（16）であって、前記チャネル層（12）の一部によって前記ソース領域（14）から分離される前記ドレイン領域（16）；前記エピタキシャル・シリコン層（13）上で、少なくとも前記ソース領域（14）と前記ドレイン領域（16）との間に形成されたゲート誘電体層（17）；および前記ゲート誘電体層（17）上に形成されたゲート電極（18）；から成ることを特徴とするMOSFET構造。

【請求項4】移動性を改善したMOSFET素子の形成方法であって：第1導電型の単結晶シリコン層（11）上にキャリア搬送領域（12）を形成する段階であって、前記キャリア搬送領域（12）はシリコンと第2半導体物質との合金から成り、前記第1導電型の単結晶シリコン層（11）に比較して、前記キャリア搬送領域（12）が引張応力を受ける状態とする原子百分率で、前記キャリア搬送領域（12）の格子領域に、前記第2

半導体物質を置換的に位置させる段階；前記キャリア搬送領域（12）上にエピタキシャル半導体層（13）を形成する段階；前記エピタキシャル半導体層（13）上の前記キャリア搬送層（12）の一部の上にゲート誘電体層（17）を形成する段階；前記ゲート誘電体層（17）上に制御電極（18）を形成する段階；前記エピタキシャル半導体層（13）を貫通し、前記キャリア搬送領域（12）の少なくとも一部に達する、第2導電型のソース領域（14）を形成する段階；および前記エピタキシャル半導体層（13）を貫通し、前記キャリア搬送領域（12）の少なくとも一部に達する、第2導電型のドレイン領域（16）を形成し、前記キャリア搬送領域（12）の一部を前記ソース領域（14）と前記ドレイン領域（16）との間に位置付ける段階；から成ることを特徴とする方法。

【請求項5】前記キャリア搬送領域（12）を形成する段階は、 $\text{Si}_{1-x}\text{C}_x$ 合金から成るキャリア搬送領域（12）を形成し、ここでXは0.02以下であることを特徴とする請求項4記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般的に半導体素子に関し、更に特定すれば、キャリア移動性を改善した半導体素子に関するものである。

【0002】

【従来の技術】金属酸化物半導体電界効果トランジスタ（MOSFET）素子は公知であり、電子産業において広く用いられている。MOSFET素子のキャリア移動性(carrier mobility)は、出力電流およびスイッチング性能に直接影響を与えるので、重要なパラメータである。標準MOSFET技術では、チャネル長およびゲート誘電体の厚さを減少させることによって、電流駆動およびスイッチング性能を改善している。しかしながら、ゲート誘電体の厚さを薄くすると、固有ゲート容量(intrinsic gate capacitance)が増大することになるので、素子性能を低下させる可能性がある。

【0003】シリコンMOSFET素子では、シリコン／ゲルマニウム($\text{Si}_{1-x}\text{Ge}_x$)合金で構成し、その上下をシリコン領域で挟んだ埋め込みチャネル領域に、圧力性応力(compressive stress)をかけると、チャネル領域においてホールのキャリア移動性が改善されることが示されている。この理由は、周囲のシリコン領域と $\text{Si}_{1-x}\text{Ge}_x$ チャネル領域との間のポテンシャル・エネルギーのずれによって、ホールがチャネル領域に閉じ込められるからである。かかる引張素子(strained device)は、Murakami et al.に発行された米国特許第5,241,197号、およびSolomon et al.に発行された米国特許第5,241,197号に示されている。

【0004】埋め込み $\text{Si}_{1-x}\text{Ge}_x$ チャネル素子には欠点もいくつかあり、その中にはチャネル領域において合金の

散乱(alloy scattering)が増大し電子移動性を低下させること、導電帯オフセットが良好でないため電子移動性の改善が最少となること、シリコンよりもキャリア速度が高くないこと、および歪みを生成し高い移動性を得るために高いGe濃度を必要とすることが含まれる。Ge濃度を高くすると、その結果層の厚さが非常に薄くなり、処理温度も大きく低下する。処理温度の低下は、ドーパントの活性化およびゲート酸化物処理に悪影響を与えることになる。

【0005】引張応力(tensile stress)がかけられたチャネル領域を有するシリコン素子は、ホールおよび電子双方の移動性が改善され、シリコンと比較してキャリア速度も高くなるので望ましいものである。ある報告された手法では、引張シリコン表面チャネル領域(strained silicon surface channel region)と、このシリコン・チャネル領域の下に緩和 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 合金層、および $\text{Si}_{0.7}\text{Ge}_{0.3}$ 合金層の下に $\text{Si}_{1-x}\text{Ge}_x$ ($x=5-30\%$) バッファ層を含む構造を用いている。この手法の利点の1つは、チャネル領域における合金の散乱が除去されることである。しかしながら、この手法は、引張チャネル層が表面にあるので、移動性を低下させる表面散乱効果(surface scattering effects)を生じやすいという欠点がある。また、熱キャリアによる劣化やノイズ問題を生じる可能性もある。加えて、この手法は合金緩和およびバッファ層を必要とし、このためにプロセスの複雑性やコストが増大することになる。

【0006】別の報告された手法に、緩和 $\text{Si}_{1-x}\text{Ge}_x$ 層上に引張 $\text{Si}_{1-x}\text{Ge}_x$ チャネル層を形成し(ここで $y>x$)、引張 $\text{Si}_{1-x}\text{Ge}_x$ チャネル層上にシリコン層、更に緩和 $\text{Si}_{1-x}\text{Ge}_x$ 層の下にシリコン層を有する構造を用いたものがある。この構造には、引張 $\text{Si}_{1-x}\text{Ge}_x$ チャネル層から緩和 $\text{Si}_{1-x}\text{Ge}_x$ 合金層へキャリアが移動し、改善された移動性効果が減少すること、チャネル層内にゲルマニウムがあるために合金散乱効果が大きくなること、および多数のSiGe層のためにプロセスの複雑性が付加されること、といった欠点がある。

【0007】

【発明が解決しようとする課題】以上のことから容易に明らかとなるように、電子およびホールの移動性を改善し、合金の散乱効果を生じにくく、表面散乱効果を生じにくく、合金緩和および/またはバッファ層を必要としないMOSFET素子が必要とされている。

【0008】

【課題を解決するための手段】端的に述べれば、移動性が改善されたMOSFET素子は、第1導電型の単結晶シリコン層上に形成されたキャリア搬送領域を含む。キャリア搬送領域はシリコンと第2物質との合金から成り、第2物質は、キャリア搬送領域が引張応力を受けるような原子百分率で、キャリア搬送領域内に存在する。第2導電型のソース領域およびドレイン領域が、キャリ

ア搬送領域内に達している。キャリア搬送領域の一部が、ソース領域とドレイン領域とを分離する。制御電極が、キャリア搬送領域から電気的に絶縁され、ソース領域とドレイン領域との間に配置されている。

【0009】ここに記載した移動性を改善したMOSFETの製造方法は、第1導電型の単結晶シリコン層上にキャリア搬送領域を形成することを含む。キャリア搬送層は、シリコンと第2物質との合金で構成される。第2物質は、キャリア搬送領域が引張応力を受ける状態とする原子百分率で、キャリア搬送領域内に存在する。ゲート誘電体層をキャリア搬送領域の一部の上に形成する。制御電極をゲート誘電体層上に形成する。ソース領域および第2導電型を有するドレイン領域が少なくともキャリア搬送領域内に達し、キャリア搬送領域の一部がソースおよびドレイン領域間に挟まれるように、ソース領域およびドレイン領域を形成する。

【0010】

【実施例】図1は、本発明によるキャリアの移動性を改善したMOSFET素子10の実施例を示す。キャリア搬送領域即ちチャネル層12が、単結晶シリコン層11上に形成される。チャネル層12は、シリコンと第2物質との合金から成る。単結晶シリコン層11は、p-チャネル素子の場合はn-型導電性、n-チャネル素子の場合はp-型導電性を有する。第2物質はチャネル層12の格子部位(lattice site)に置換的に(substitutionally)存在し、単結晶シリコン層11またはシリコンから成る結晶と比較して、チャネル層12が引張応力を受けるような原子百分率で存在する。また、チャネル層12は、受容体即ちドナー不純物(donor impurities)でドーピングされていないことが好ましい。

【0011】MOSFET素子10には、更にチャネル層12上にエピタキシャル半導体即ちエピタキシャル層13を含む。好ましくは、エピタキシャル層13はシリコンから成り、50オングストローム程度の厚さである。ソース領域14およびドレイン領域16がエピタキシャル層13を貫通し、少なくともチャネル層12内に達している。好ましくは、ソース領域14およびドレイン領域16はチャネル層12を貫通し、単結晶シリコン層11内に達する。チャネル層12の一部は、ソース領域14とドレイン領域16とに挟まれている。制御即ちゲート電極18は、電気的にエピタキシャル層13から絶縁されている。好ましくは、ゲート誘電体層17を用いて、ゲート電極18をエピタキシャル層13から電気的に絶縁する。ゲート誘電体層17は、好ましくは、酸化物から成り、30ないし125オングストロームの範囲の厚さを有する。ソース電極19がソース領域14の一部の上に形成され、ドレイン電極21がドレイン領域16の一部の上に形成されている。

【0012】図2は、ゲート・バイアスがゼロの場合の図1の実施例のエネルギー・バンド図であり、チャネル層

12上での応力誘導バンド分割(strain induced band splitting)の効果を示すものである。図2は、エピタキシャル層13、チャンネル層12、および単結晶シリコン層11における、価電子帯22と伝導帯23との間の相対関係を示す。チャンネル層12が引張応力を受けると、チャンネル層12内の価電子帯縁部即ち界面24が分割し、実際にエネルギー・レベルにおいて伝導帯23に向かって上昇する。加えて、伝導体縁部即ち界面26も分割し、実際にエネルギー・レベルにおいて価電子帯22に向かって下降する。この結果、チャンネル層のバンドギャップ27が、単結晶シリコン層のバンドギャップ28およびエピタキシャル層のバンドギャップ29よりも狭くなる。チャンネル層バンドギャップ27の偏り即ち狭隘化は、事実上、ポテンシャル井戸を形成し、これがチャンネル層12内にホールおよび電子を捕獲する。また、上記効果の結果、チャンネル層12のエネルギー・レベルは、優先的にホールおよび電子で占められ(populated)、有効なキャリア質量(effective carrier mass)が減少する。一方、これによって、適切なゲート・バイアスがゲート電極18に印加されたときに、チャンネル層12における自由キャリアの移動性が高くなる。

【0013】引張応力は圧縮応力より大きな伝導帯の分割を与えるので、引張応力を受けるチャンネル層は圧縮応力を受けるチャンネル層より好ましい。加えて、圧縮応力を受ける膜と比較して、引張応力を受ける膜では、有効なキャリア質量の低下が予測される。したがって、引張応力を受けるチャンネル層は、電子およびホール・キャリア双方の移動性を改善するので、移動性を改善した相補型p-チャンネルおよびn-チャンネル素子の製造を支援する。

【0014】J.Candelariaに発行され、Motorola Inc.,に譲渡された米国特許第5,360,986号に示されているように、炭素をドーブされたシリコンは、チャンネル層12に適した合金即ち材料である。前記米国特許は本願でも利用可能である。好適実施例では、チャンネル層12は、炭素をドーブされたシリコン即ち $Si_{1-x}C_x$ 合金であり、炭素が第2物質で、炭素が置換シリコン格子部位(substitutional silicon lattice site)に存在し、Xは0.02以下であることが好ましい。更に特定すれば、Xは約0.005ないし0.016の範囲であることが好ましい。

【0015】好ましくは、Xが0.02ないし0.005程度のとき、チャンネル層12はそれぞれ100ないし200オングストローム程度の厚さを有する。チャンネル層12の厚さは、存在する炭素の原子百分率に応じて調節される。チャンネル層12が $Si_{1-x}C_x$ 合金から成るとき、エピタキシャル層13は好ましくはシリコンから成り、50ないし100オングストロームの範囲の厚さを有する。

【0016】炭素をドーブされたチャンネル層の方がゲル

マニウムをドーブされたシリコン・チャンネル層より合金／キャリア散乱効果が低いので、炭素をドーブされたシリコン・チャンネル層は、ゲルマニウムをドーブされたシリコン・チャンネル層よりも好ましい。この理由は、炭素原子とゲルマニウム原子との間の相対的なサイズ差のために、ゲルマニウムに比較して炭素の使用量を大幅に減らしても(約1:1)、同様の応力強度(符号は逆であるが)を達成できるからである。炭素をドーブされたシリコン・チャンネル層は、同様のゲルマニウムをドーブされた引張シリコン・チャンネル層に比較して、合金／キャリア散乱効果が小さいので、キャリア移動性、特に電子移動性が更に改善される。更にまた、MOSFET素子10内のチャンネル層12は埋め込まれている、即ち、エピタキシャル層13と単結晶シリコン層11によって包囲されているので、MOSFET素子10は、表面散乱(surface scattering)、熱キャリア劣化(hot carrier degradation)、およびノイズ効果を受けにくい。

【0017】チャンネル層12が $Si_{1-x}C_x$ 合金から成るとき、エピタキシャル成長または化学蒸着技法を用いてチャンネル層12を形成する。例えば、アセチレン、エチレン、プロパン、またはメタン炭素源を用いる。或いは、米国特許第5,360,986号に示されているように、シリコン層を形成し、このシリコン層に炭素をイオン注入し、炭素がドーブされたシリコン層を加熱して、炭素をドーブされたシリコン層の固相エピタキシャル再成長(solid phase epitaxial regrowth)を誘発し、チャンネル層12を形成する。或いは、分子ビーム・エピタキシャル、金属有機化学蒸着(MOCVD)、または超高真空化学蒸着(UHV CVD)を用いて、チャンネル層12を形成する。

【0018】p-チャンネル構造と炭素をドーブされたチャンネル層とを有するMOSFET素子を形成するための好適実施例では、n-型導電性を有する単結晶シリコン層11が、p-型基板上または基板内に選択的に形成される。そして、炭素をドーブされたシリコンから成るチャンネル層12が、ドーブされていないシリコン層上に形成される。次に、n-型にドーブされたシリコンまたはドーブされていないシリコンから成り、約50ないし100オングストロームの厚さを有するエピタキシャル層13が、チャンネル層12上に形成される。好ましくは、ドーブされていないシリコン層、チャンネル層12、およびエピタキシャル層13の形成は、単一のエピタキシャル成長工程で行われる。

【0019】次に、60ないし80オングストロームの範囲の厚さを有する酸化シリコン層が、エピタキシャル層13上に堆積または成長によって形成される。次に、所定の部位にドーブされた(in-situ doped)n-型ポリシリコン層が、酸化シリコン層上に形成される。n-型ポリシリコン層および酸化シリコン層に選択的にパターニングを行い、ゲート電極18およびゲート誘電体層1

7をそれぞれ形成する。次に、p-型ドーパントを、エピタキシャル層13内に選択的に注入する(incorporate)。この構造を次に加熱することによりp-型ドーパントを活性化させて、ソース領域14およびドレイン領域16を形成する。次に、標準MOSFET処理を用いて、MOSFET素子10を完成する。n-チャネル構造のMOSFET素子10を形成するには、ドーパントの導電型を逆にすればよい。

【0020】図3ないし図5は、本発明による移動性を改善したMOSFET素子の代替実施例を示す。図3に示すMOSFET素子30はMOSFET素子10と類似しているが、MOSFET素子30はエピタキシャル層13を有していないという点で異なる。MOSFET素子30は、上述のように移動性が改善されているが、チャネル層12とゲート誘電体層17との間の界面のために、表面散乱効果を受けやすくなっている。しかしながら、同様に構成された無引張シリコン・チャネルMOSFET素子と比較すれば、MOSFET素子30のキャリア移動性はそれでもなお改善されている。

【0021】図4のMOSFET素子40はMOSFET素子10に類似しているが、単結晶シリコン層11内に形成された変調ドーピング即ち変調層41が更に追加されている。単結晶シリコン層11の部分43は、変調層41をチャネル層12から分離する。部分43は、好ましくは約50ないし100オングストロームの厚さを有する。変調層41は、ソース領域14およびドレイン領域16と同じ導電型である。変調層41は、単結晶シリコン層11よりも高いドーパント濃度を有し、単結晶シリコン層11とは反対の導電型である。好ましくは、変調層41は100ないし200オングストロームの範囲の厚さを有する。

【0022】変調層41は、エピタキシャル成長または化学蒸着(CVD)技法を用いて、単結晶シリコン層11の部分42の上に形成される。次に、エピタキシャル成長またはCVD技法を用いて、単結晶シリコン層11の部分43が変調層41上に形成される。MOSFET素子40がp-チャネル素子か或いはn-チャネル素子かによって、単結晶シリコン層11の部分43には、イオン注入および/または拡散技法を用いて、それぞれ、nまたはp-型をドーピングすることができる。好ましくは、変調層41および単結晶シリコン層11の部分43は、単一の現場プロセス・シーケンスで連続的に形成される。

【0023】図5に示すMOSFET素子50はMOSFET素子10と類似しているが、絶縁物上半導体(1111)素子を形成するために絶縁層即ち領域51が追加されている。絶縁層51は好ましくは酸化シリコンから成り、酸素イオン注入またはその他の技法を用いて形成される。好ましくは、チャネル層12およびエピタキシャル層13が形成される前に、絶縁層51を形成す

る。或いは、絶縁層51を支持基板(図示せず)上に形成し、次に単結晶シリコン基板を絶縁層51に接合し、単結晶シリコン基板を所望の厚さに研磨して、単結晶シリコン層11を形成する。好ましくは、500ないし600オングストロームの距離52だけ、チャネル層12から絶縁層51を離間させる。

【0024】MOSFET素子30(図3)に絶縁層51を用いる場合、チャネル層12の下に1000オングストローム程間隔をあけて絶縁層51を配置することが好ましい。MOSFET素子40(図4)に絶縁層51を用いる場合、変調層41の下に100ないし200オングストローム程間隔をあけて絶縁層51を配置することが好ましい。

【0025】以上の説明から、移動性を改善したMOSFET素子が提供されたことが認められよう。単結晶シリコン層上にキャリア搬送領域を形成し、このキャリア搬送領域をシリコンと第2物質との合金で構成し、更に、キャリア搬送領域が引張応力を受ける状態にする程度の原子百分率で、第2物質をキャリア搬送領域内に存在させることによって、キャリア移動性の改善が達成される。

【0026】また、キャリア搬送領域が引張応力を受ける状態にすることによって、圧縮応力を受けるキャリア搬送領域と比較して、大きな伝導帯分割が達成されるので、電子およびホール・キャリア双方の移動性を改善することができる。これは、移動性を改善した相補型n-チャネルおよびp-チャネル素子の製造を支援するものである。

【0027】加えて、キャリア搬送領域上にエピタキシャル層を加えることによって、埋め込み構造を形成し、表面散乱、熱キャリア劣化、およびノイズ効果を受けにくくすることができる。

【0028】更に、キャリア搬送領域が炭素をドーピングされたシリコンから成る場合、ゲルマニウムをドーピングされたシリコンで構成された同様の引張キャリア領域と比較して、合金の散乱を低減することができる。また、キャリア搬送領域が炭素をドーピングされたシリコンから成る場合、緩和合金層を用いることなく、引張応力を受けるキャリア搬送領域が達成される。これによって、プロセスの複雑性やコストを低減することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の拡大断面図。

【図2】ゲート・バイアスがゼロの場合の図1の実施例のエネルギー・バンド図

【図3】本発明の他の実施例の拡大断面図。

【図4】本発明の更に他の実施例の拡大断面図。

【図5】本発明の更に他の実施例の拡大断面図。

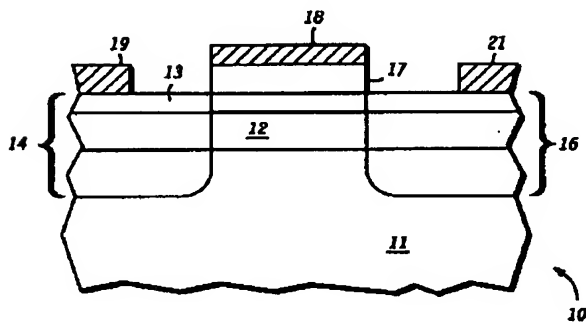
【符号の説明】

10, 30, 40, 50 MOSFET素子
11 単結晶シリコン層

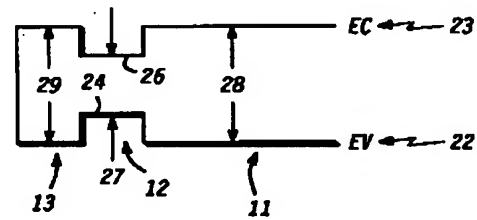
- 12 キャリア搬送領域
- 13 エピタキシャル層
- 14 ソース領域
- 16 ドレイン領域
- 17 ゲート誘電体層
- 18 ゲート電極
- 19 ソース電極

- 22 価電子帯
- 23 伝導帯
- 24, 26 界面
- 28, 29 バンドギャップ
- 40 MOSFET素子
- 41 変調層
- 51 絶縁層

【図1】

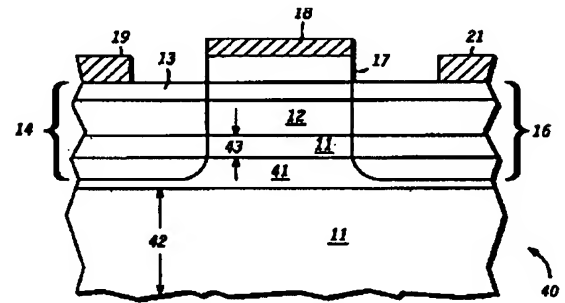
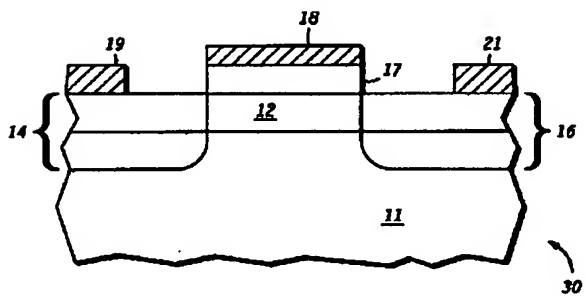


【図2】



【図4】

【図3】



【図5】

